

公開されています

Q2-58259

Feb. 27, 1990

L6: 3 of 7

MANUFACTURE OF SEMICONDUCTOR DEVICE

INVENTOR: MAKIO IIDA  
ASSIGNEE: NIPPON DENSO CO LTD, et al. (50)  
APPL NO: 63-208021  
DATE FILED: Aug. 24, 1988  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: E0927  
ABS VOL NO: Vol. 14, No. 225  
ABS PUB DATE: May 14, 1990  
INT-CL: H01L 27/04; H01L 21/3205

ABSTRACT:

PURPOSE: To constitute an Si-**Cr** thin film resistor in the manner in which the degree of integration is effectively increased by laminating and forming, on an insulating layer, the Si-**Cr** thin film resistor layer and a thin film capable of setting an etching selection ratio to the resistor layer, and forming a wiring layer of Al-Si alloy so as to partially overlap on the above thin film.

CONSTITUTION: On the main surface of a semiconductor substrate 11 on which an active element region is formed, an insulating layer 18 is formed, on which an Si-**Cr** system thin film resistor layer 19 is formed. A thin film layer 20 capable of setting an **etching** ratio to the thin film **resistor** layer 19 is formed so as to be stacked on the thin film resistor layer 19. In the state that a contact **hole** is formed, and the terminal part of the thin film resistor layer 19 is contained, a wiring layer 21 of an Al-Si thin film is formed on the insulating layer 18. After that, Si is eliminated from Al-Si of the wiring layer 21 by **etching**, and the thin film **resistor** layer 19 is electrically connected by the Al wiring layer wherein Si is eliminated by etching. For example, a thin film layer 20 which is to be laminated on the above thin film resistor layer 19 is constituted by using an oxide film layer formed by oxidizing the thin film resistor layer 19.

③ 日本国特許庁(JP) ④ 特許出願公開  
 ⑤ 公開特許公報(A) 平2-58259

⑥ Int. Cl.<sup>3</sup>  
 H 01 L 27/04  
 21/3205

識別記号 庁内整理番号  
 P 7514-5F

⑦ 公開 平成2年(1990)2月27日

6824-5F H 01 L 21/83 H  
 審査請求 未請求 請求項の数 8 (全8頁)

⑧ 発明の名称 半導体装置の製造方法

⑨ 特 願 昭63-208021

⑩ 出 願 昭63(1988)8月24日

⑪ 発 明 者 飯田 真喜男 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内  
 ⑫ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地  
 ⑬ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁層が形成された半導体基板の  
 主表面上に絶縁層を形成する工程と、

この工程で形成された絶縁層上に、SiCr  
 系導電抵抗体層を形成する工程と、

上記導電抵抗体層に重ねて、この導電抵抗体  
 層とエッチング選択比のとれる導電層を形成する工  
 程と、

コンタクトホールを形成した状態で且つ上記  
 導電抵抗体層のターミナル部を含む状態で、上記  
 絶縁層上にAl-Si 導電層による配線層を形成す  
 る工程と、

上記配線層のAl-Si からSi を除去する  
 エッチング工程とを具備し、

上記Si のエッチング除去されたAl 配線層  
 により、上記導電抵抗体層が電気的に接続される

ようにしたことを特徴とする半導体装置の製造方  
 法。

(2) 上記導電抵抗体層に配線形成される導電  
 層は、上記導電抵抗層を酸化した酸化導電層によっ  
 て構成され、上記エッチング工程によって配線層  
 のSi を除去後にAl シンターを行ない、上記配  
 線層と導電抵抗体層との間の上記酸化導電層は、  
 Al によって還元され、配線層と導電抵抗体層と  
 の間の電気的導通状態が設定されるようにしたこ  
 とを特徴とする特許請求の範囲第1項記載の半導  
 体の製造方法。

(3) 上記導電抵抗体層に配線形成される導電  
 層は純Al によって構成され、上記エッチング工  
 程によって配線層のSi を除去後に上記導電抵抗  
 体層上に高出される状態で残ったAl をエッチン  
 グ除去し、Al シンターを行なうようにしたこ  
 とを特徴とする特許請求の範囲第1項記載の半導  
 体の製造方法。

(4) 上記薄膜抵抗体層に図層形成される薄膜層はTlWによって構成され、上記エッチング工程によって配線層のSiを除去後に上記薄膜抵抗体層上に露出される状態で残ったTlW層をエッチング除去するようにしたことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(5) 能動素子領域の形成された半導体基板の主表面上に絶縁層を形成する工程と、

この絶縁層上に、抵抗体露出部に対応して融点1000℃以上の高融点金属材料からなる金属薄層を形成する工程と、

上記金属薄層に図層されるようにして、Si-Cr薄膜抵抗体層を形成する工程と、

この薄膜抵抗体層を含む上記絶縁層上に絶縁体層を形成する工程と、

この絶縁体層に、上記金属層に至るコンタクトホールを形成する工程とを具備し、

このコンタクトホールを含むA1を含む金属配線層を形成し、この配線層と上記金属層とが電

氣的に接続されるようにしたことを特徴とする半導体装置の製造方法。

(6) 上記高融点金属材料は、TlWでなる特許請求の範囲第5項記載の半導体装置の製造方法。

(7) 能動素子領域の形成された半導体基板上に絶縁層を形成する工程と、

この絶縁層上に、上記能動領域の素子ターミナル部にコンタクトホールを介して電気的に接続されるようにした第1の配線層を形成する工程と、

この第1の配線層部を含む上記絶縁層上に、上記配線層を一部露出させるコンタクトホールを形成した層間絶縁層を形成する工程と、

この層間絶縁層上に、この層間絶縁層に形成したコンタクトホール部を含む状態で、Si-Cr系薄膜抵抗体層を形成する工程と、

この薄膜抵抗体層上を含むSiを1%以上含まないA1からなる第2の配線層を形成する工程とを具備し、

この第2の配線層の一部を除去し、上記層間絶縁層上のSi-Cr系薄膜抵抗体層のみによる薄膜抵抗が形成されるようにしたことを特徴とする半導体装置の製造方法。

(8) 上記第1の配線層はA1-Siでなり、第2の配線層はA1でなる特許請求の範囲第7項記載の半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 【産業上の利用分野】

この発明は、Si-Cr系の薄膜抵抗体が形成された、特に半導体集積回路のチップ上に効果的に薄膜抵抗体が集積形成できるようにする半導体装置の製造方法に関する。

#### 【従来の技術】

半導体集積回路装置にあっては、半導体基板に適宜能動素子を形成すると共に、半導体基板の主表面上に絶縁層を形成し、この絶縁層上にコン

タクトホールを介して上記能動素子の端子部に接続されるようにしたA1配線層を形成するようにしている。この場合、上記絶縁層上には配線層に適宜接続されるようにして抵抗体が適宜形成され、能動素子と共に回路装置を構成するようにしている。

この抵抗体としては、従来よりSi-Cr系薄膜抵抗体が、シート抵抗が高く且つ抵抗の温度係数(TCR)が小さいものであるため多く使用されるもので、特に抵抗度の高いLSIやICに集積する薄膜抵抗として用いられている。

しかし、抵抗度の高いLSI等を構成する場合、配線層としてA1-Siが用いられるようになり、Si-Cr系薄膜抵抗体層とA1-Si配線層とが図層された状態で、ドライエッチングによるA1-Si配線のSiを除去する工程において、Si-Cr系薄膜までもエッチングされるようになり、薄膜抵抗体層を正確に形成することが困難となる。

## 【発明が解決しようとする課題】

この発明は上記のような点に鑑みなされたもので、高濃度が効果的に向上されるように、Si-Cr系薄層抵抗体を調成することができるようにするものであり、特にA<sub>1</sub>-SiあるいはA<sub>1</sub>-Si-Cr等の合金配層を用いた異質接合装置において、Si-Cr系薄層抵抗体が安定した状態で高濃化できるようにした半導体装置の製造方法を提供しようとするものである。

## 【課題を解決するための手段】

まず第1の発明に係る半導体装置にあっては、絶縁層を形成する半導体基板の主表面上に絶縁層を形成すると共に、この絶縁層上にSi-Cr系薄層抵抗体層およびこの抵抗体層とエッチング選択比のとれる酸化膜あるいは純A<sub>1</sub>による薄層を積層形成し、これに一部重なるようにしてA<sub>1</sub>-Si合金による配線層を形成する。そして、この配線層からSiをエッチング除去させるようにする。

層の下の層が形成されるようにする。

## 【作用】

すなわち、上記のような半導体装置の製造方法のそれぞれにおいては、Si-Cr系薄層抵抗体層と直接接合される状態でA<sub>1</sub>-Si合金による配線層が形成され、この配線層のSiをエッチング除去することがないものであるため、このSiのドライエッチング時においてSi-Cr系薄層抵抗体までもエッチング除去されることがない。したがって、ICあるいはLSI等の異質接合装置を調成するに際して、安定した状態でSi-Cr系薄層抵抗体が高濃化できるものであり、半導体装置の高濃度が容易且つ確実に向上できるようにするものである。

## 【発明の実施例】

以下、図面を参照してこの発明の一実施例を説明する。まず第1図に示されるようなP-型の半導体基板11の主表面上に、500Åの酸化膜を形

また第2の発明にあっては、上記半導体基板主表面上に形成された絶縁層上に高融点金属からなる金属薄層を形成し、この金属薄層の一部が覆われるようにしてSi-Cr系薄層抵抗体層を形成し、その上を絶縁体層で覆うようにする。そして、この絶縁体層に上記金属薄層に至るコンタクトホールを形成し、このコンタクトホールを介して電気的に接続されるようにしてA<sub>1</sub>を含む配線層を形成させるようにする。

さらに第3の発明にあっては、半導体基板の主表面上に形成された絶縁層上に、上記半導体基板に形成された絶縁層上に接続されるようにして、例えばA<sub>1</sub>-Si合金からなる第1の配線層を形成すると共に、この第1の配線層上に層間絶縁層を形成し、この層間絶縁層上にコンタクトホールを介して上記第1の配線層に接続されるようにしてSi-Cr系薄層抵抗体を形成する。そして、この薄層抵抗体を覆うようにしてSiを1%以上含まないA<sub>1</sub>による第2の配線層を形成し、この第2の配線層の一部を除去して上記薄層抵抗体の

成し、その後LPCVD法によって窒化シリコン膜を900Åの厚さで形成する。この窒化シリコン膜の一部は、ホトエッチングにより除去されるもので、この窒化膜の除去部分にイオン注入法を用いてボロン原子を注入し、Pチャネルストップ12を形成する。このようにボロン原子が注入されたならば、拡散炉を用いて酸化雰囲気中で酸化して、9000Åのフィールド酸化膜13を形成する。

このようにしてフィールド酸化膜13が形成されたならば、この酸化膜13部分を除いて存在する窒化シリコン膜、およびその下層の500Åの酸化膜を除去し、その後HCl酸化法によってその除去部分を酸化してゲート酸化膜14を形成する。

次に、LPCVD法により上記ゲート酸化膜上に4000Åの厚さでポリシリコン膜を形成し、1000℃の拡散炉でPOC<sub>2</sub>H<sub>6</sub>を用いた気相拡散によって、ポリシリコン膜中にリンを拡散する。そして、N型低抵抗ポリシリコン膜を形成し、ホトエッチングによりMOSトランジスタのゲート

電極15を形成する。

このようにゲート電極15が形成されたならば、この電極15をストップとしてセルフアライメント方式でイオン注入し、半導体基板11の表面部にN<sup>+</sup>型のソース16およびドレイン17を形成する。そして、上記ゲート電極15を含む酸化膜13および14上に、BPSGによる絶縁膜18をCVD法により形成し、N<sub>2</sub>雰囲気中で900℃でリフローする。

このようにBPSGリフローによる絶縁膜18が形成されたならば、この絶縁膜18上にスパッタ法を用いてSi-Cr膜を200Åの厚さで形成し、その後HF系のエッチング液を用いたホットエッチングにより所定の形状のSi-Cr系薄膜抵抗体層19を形成する。薄膜抵抗体層19が形成されたならば、これを500℃のO<sub>2</sub>雰囲気中でこの薄膜抵抗体層19を酸化し、その表面にSi-O結合を含んだ酸化膜層20を、約50Åの厚さに形成し、薄膜抵抗体層19との積層構造とする。

次に、第2図で示すようソース16およびドレ

製造過程にしたがって説明する。まず、第1図で説明したとどようようにして、第3図で示すようにPチャンネルストップ12、フィールド酸化膜13、さらにゲート酸化膜14を形成し、ゲート酸化膜13部分に対応してゲート電極15を形成し、これらの上側に絶縁膜18で覆う。そして、この絶縁膜18上にSi-Cr系薄膜抵抗体層19を形成するものであり、この薄膜抵抗体層19の上には、2000Åの厚さで純Alの薄膜層25を形成する。上記ゲート酸化膜14部分の半導体基板11の表面部には、ソース16およびドレイン17が形成されている。

次に第4図で示すようにソース16およびドレイン17にそれぞれ対応して絶縁膜18にコンタクトホールを形成し、その後Al-Si合金による金属薄膜層26を1000Åの厚さでスパッタ法により形成し、さらに第5図で示すようにホットエッチング技術を用いてこの薄膜層26をエッチングして、Al配線層21が形成されるようにする。このように配線層21が形成されたならば、この配線層21を構成するAl-Si中のSiを除去するためのSiエ

ン17層に対応して絶縁膜18にコンタクトホールを形成し、Al-Si合金材料による配線層21を形成する。この配線層21は、Al-Si薄膜をエッチングすることにより所定の形状とされるもので、その後CF<sub>4</sub>-O<sub>2</sub>ガスを用いたドライエッチングによって30秒処理し、上記Al-Si中のSiを除去する。

このドライエッチングに際して、上記Si-Cr系薄膜抵抗体層19は、薄い酸化膜層20によって覆われているため、エッチングされない。

このようにAl-Si薄膜による配線層21が形成されたならば、Alシンターすると、Al配線層21とSi-Cr系薄膜抵抗体層19との接触部分の薄い酸化膜層20はAlによって還元され、相互に電気的な導通状態が設定されるようになり、薄膜抵抗体層19に配線層が接触された状態とされる。すなわち、Si-Cr系薄膜抵抗体を集積したAl-Si配線を有するMOSLSIが構成されるようになる。

次に上記実施例を變形した他の実施例を、その

エッチングを行ない、最後に薄膜抵抗体層19上に残って露出された状態となった純Alの薄膜層25をウェットエッチングにより除去する。その後Alシンターすることによって、Si-Cr系薄膜抵抗体を集積したAl-Si配線のMOSLSIが得られるようになる。

このような方法によれば、Siエッチング時に純Alの薄膜層25がバッファ層となるものであり、したがって上記薄膜抵抗体の層をエッチングすることなく、安定してAl合金による配線を用いたLSIにSi-Cr系薄膜抵抗体を集積化することができる。

上記第1および第2の実施例にあつては、Si-Si系薄膜抵抗体層19の上に、この薄膜抵抗体層19とエッチング還元比のとれる薄膜として、酸化膜20あるいは純Al薄膜層25を形成するようにしたが、その他TiWの薄膜を形成するようにしてもよい。

このような方法でSi-Cr系薄膜抵抗体を集積化するようにすると、特にマスク数を増加させ

ることなく、 $\text{Al-Si}$  配線を用いるときに必要とされる  $\text{Si}$  エッチングに際して、酸化膜、純  $\text{Al}$  薄膜、あるいは  $\text{TlW}$  薄膜がバリア層となり、薄膜抵抗体層 19 がエッチングされることがない。したがって、安定した  $\text{Al}$  合金配線を用いた  $\text{LSI}$  に対して、 $\text{Si-Cr}$  系薄膜抵抗体が腐食化することができるようになるものである。

$\text{Al-Si}$  合金による配線層 21 の中の  $\text{Si}$  は、 $\text{Al}$  配線をウェットエッチングすると  $1\mu\text{m}$  程度の  $\text{Si}$  の膜状 ( $\text{Si}$  ノジュール) として、エッチング後の基板表面に析出され、これは  $\text{CrF}_3$  系のドライエッチングにより除去できる。 $\text{CrF}_3$  系のドライエッチングでは、 $\text{Si}$ 、 $\text{Si}_3\text{N}_4$  のエッチング速度が速く、 $\text{SiO}_2$ 、 $\text{Al}$ 、 $\text{TlW}$  等ではエッチング速度が遅いものであるため、これらはバリアメタルとして使用できる。

これまでの実施例では、 $\text{Si-Cr}$  系薄膜抵抗体の上にバフファ層を形成するようにしたものであるが、第 6 図に示すようにすることもできる。すなわち、この実施例にあっては電導素子領域の

形成される半導体基板の主要面に形成された絶縁層上に、融点が  $1000^\circ\text{C}$  以上の高融点金属薄膜を、薄膜抵抗体と  $\text{Al}$  合金配線の接続部とされる領域を含んで形成し、この高融点金属薄膜部分を含んで  $\text{Si-Cr}$  系薄膜抵抗体層、さらに絶縁層を形成する。そして、上記電導素子と薄膜抵抗層にそれぞれ対応してコンタクトホールを形成し、 $\text{Al}$  合金配線層を形成するようにしている。

すなわち、 $\text{P}$  型シリコン等による半導体基板 11 には  $\text{P}$  型チャンネルストップ 12、フィールド酸化膜 13、ゲート酸化膜 14、ポリシリコンによるゲート電極 15 が形成され、さらに基板 11 には不純物の拡散によりソース 16 およびドレイン 17 領域が形成されている。

そして、上記酸化膜 13 上にはスパッタ法を用いて例えば  $\text{TlW}$  による高融点金属層を  $1500\text{\AA}$  の厚さで形成し、薄膜抵抗と  $\text{Al}$  配線との接続部に対応する部分をチーバエッチング技術を用いてエッチングし、高融点金属層 311、312 を形成する。そして、この高融点金属層 311、312 の相互

間に対応して厚さ  $200\text{\AA}$  の  $\text{Si-Cr}$  薄膜抵抗体層 19 を形成し、全体を  $\text{VCD}$  法を用いて厚さ  $6000\text{\AA}$  の  $\text{BPSG}$  層による絶縁層 32 で覆う。

そして、上記絶縁層 32 に電導素子領域のソース 16 およびドレイン 17、さらに上記高融点金属層 311、312 に至るコンタクトホールを形成し、その後  $\text{Al-Si}$  合金による配線層 21 を形成する。

このようにして  $\text{Si-Cr}$  系薄膜抵抗体を腐食化させるようにすれば、 $\text{Al-Si}$  合金による配線層 21 の  $\text{Si}$  エッチングに際して、絶縁層 32 が薄膜抵抗体層 19 の保護層として作用するようになる。したがって、上記  $\text{Si}$  エッチングによって薄膜抵抗体層 19 がエッチングされることがない。またコンタクトホールを形成する際に、コンタクトホールに対応する部分の薄膜抵抗体層がエッチングされても、高融点金属層 311、312 が存在するため、配線層 21-高融点金属層 311、312-薄膜抵抗体層 19 の界面で電気的な接合状態が良好に得られるようになり、 $\text{Al}$  合金配線を用いた  $\text{LSI}$  に対して、安定して  $\text{Si-Cr}$  系薄膜抵抗体を腐食化

することができるものである。

第 7 図乃至第 12 図は、さらに他の実施例を製造過程にしたがって示すもので、まず第 7 図に示されるように  $\text{P}$ -型半導体基板 11 のチャンネルストップ形成領域に、イオン注入法を用いてボロン原子を注入し、 $\text{P}$  型チャンネルストップ 12 を形成する。そして、半導体基板 11 の主要面上に、 $\text{LOCOS}$  酸化法によってフィールド酸化膜 13 を形成し、さらに  $\text{RCF}$  酸化法によって電導素子領域に対応してゲート酸化膜 14 を形成する。

次に、 $\text{LP-CVD}$  法により  $4000\text{\AA}$  の厚さでポリシリコン層を形成し、 $1000^\circ\text{C}$  の拡散炉において  $\text{POCl}_3$  を用いた気相拡散によって、ポリシリコン中にリンを拡散して  $\text{N}$  型低抵抗ポリシリコン層を形成する。そして、これをホトエッチングによりエッチングすることにより、第 8 図に示すように  $\text{MOS}$  トランジスタのゲート電極 15 を形成する。

このようにポリシリコンによるゲート電極 15 が形成されたならば、このゲート電極 15 をストップ

としたセルフアライメント方式によって、イオンを注入する。このイオン注入によって $N^+$ 型のソース16およびドレイン17が形成されるもので、その後BPSG膜をCVD法により形成し、900℃での $N_2$ 中でリフローすることにより絶縁膜18を形成する。

このように絶縁膜18が形成されたならば、第9図に示すようにソース16およびドレイン17の形成領域に対応してコンタクトホールを形成し、スパッタ法を用いて1%のシリコンを含んだA1金属膜を形成し、ホットエッチングによってエッチングすることによって、第1の配線層41を形成する。

このように第1の配線層41が形成されたならば、第10図に示すようにプラズマCVD法を用いて、1 $\mu m$ の厚さで層間パッシベーション膜42を形成するもので、この層間パッシベーション膜42には第1の配線層41に至るスルーホール43を形成する。

次に、第11図に示すようにスパッタ法を用いて、200Åの厚さでSi-Cr系薄膜抵抗層19を、上記スルーホール43部を含む層間パッシベ

ーション膜42上に形成し、さらに薄膜抵抗層19の上に純A1による第2の配線層44を連続スパッタにより形成する。

そして、第12図に示すように配線パターンを用いたホットエッチング工程により配線領域以外のA1をリン酸系エッチング液によって除去して第2の配線層44が完成される。その後Si-Cr薄膜抵抗層19のパターンを用いたホットエッチングによって、フッ酸系エッチング液を用いて露出している薄膜抵抗層の中で、抵抗体として使用しない部分を除去する。

その後、さらに450℃で30分間A1シンターを行なうことにより、A部分にMOSトランジスタを、B部にSi-Cr薄膜抵抗体をそれぞれ形成するようにした2層配線のLSIが形成されるようになる。

このような製造方法によると、A1配線層を用いるLSIにおいて、第2層の配線層に、Siが少なくとも1%を超えることのない純A1を用いることによって、ホットエッチング工程を1回追加

するのみで、Si-Cr系薄膜抵抗体に損傷を与えることなく、安定した状態でSi-Cr系薄膜抵抗体を蒸気化したMOSLSIが構成できるものである。

ここで、第2層のA1配線層44を構成するA1に、Siが1%以上含有された状態となると、高温では溶解できない過剰Siが、Siノジュールとして析出される。このため、CF<sub>4</sub>系を用いたドライエッチングでこれを除去する必要があり、A1-Si合金による配線をSi-Cr系薄膜抵抗体の電極材料として用いることができなくなる。

#### 【発明の効果】

以上のようにこの発明に係る半導体装置の製造方法によれば、シート抵抗が高く且つ抵抗の温度係数が小さい性質を有するSi-Cr系薄膜抵抗体を、安定した状態でICやLSIに蒸気化できるものであり、この場合A1-Si合金による配線を用いるようにしても、この配線の処理時に上記薄膜抵抗体に対して損傷を与えることが

ないものである。すなわち、A1配線を用いたCMOSLSI、バイポーラLSI、インテリジェントパワーIC、BICMOSLSI等の全てのデバイスに対して、効果的にSi-Cr系薄膜抵抗体を蒸気化することができるようになるものである。

#### 4. 図面の簡単な説明

第1図および第2図はこの発明の一実施例に係る半導体装置の製造方法を順次説明するための断面構成図、第3図乃至第5図はこの発明の他の実施例の製造過程を順次説明するための断面構成図、第6図はこの発明のさらに他の実施例を説明する断面構成図、第7図乃至第12図はそしてさらに他の実施例の製造過程を順次説明する断面構成図である。

11…半導体基板、12…P型チャンネルストップ、13…フィールド酸化膜、14…ゲート酸化膜、15…ゲート電極、16…絶縁膜、19…薄膜抵抗層(Si-Cr)、20…酸化膜、21、41…A1-

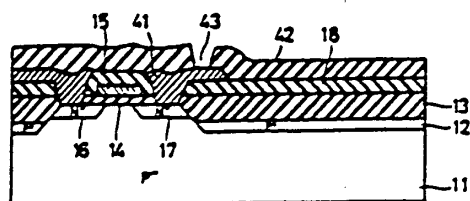
31—記憶題、33—純人（海馬）題、311、322—高橋式金鼠海馬、42—題圖パッション題、44—記憶題（純人）。

A cross-sectional view of a semiconductor device. It shows a substrate 11 with a thin layer 12 on top. A thin layer 13 is on top of 12, and a thin layer 14 is on top of 13. The layers 12, 13, and 14 are shown with different hatching patterns.

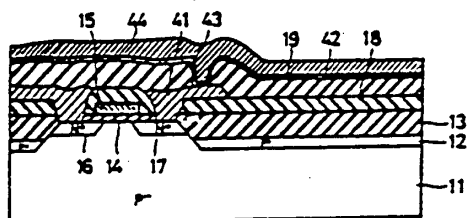
A detailed cross-sectional diagram of a semiconductor device. The bottom-most layer is a substrate labeled 11. Above it is a thin base layer labeled 12. On top of the base layer is a patterned layer labeled 13, which has several rectangular openings or recesses. Within these recesses are small rectangular features labeled 16, 17, and 18. To the left of the first recess is a feature labeled 14. Between the first and second recesses is a feature labeled 15. To the right of the second recess is a large, irregularly shaped feature labeled 19. On top of feature 19 is another feature labeled 20. To the far right is a feature labeled 25. Various other labels like 21 and 22 point to different parts of the upper layers.

- 309 -

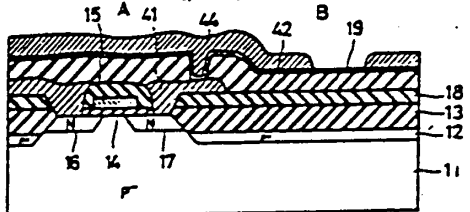




第10図



第11図



第12図